

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-002579  
 (43)Date of publication of application : 08.01.1991

(51)Int.CI.

G01R 31/318

(21)Application number : 01-136504  
 (22)Date of filing : 30.05.1989

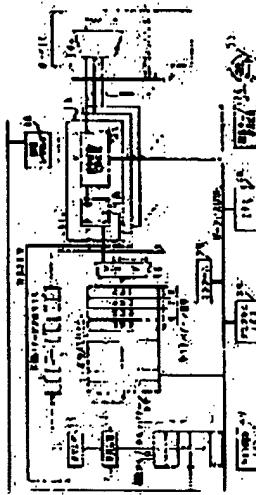
(71)Applicant : FUJITSU LTD  
 (72)Inventor : KAMEYAMA SHUICHI  
 SHINODA KOICHI  
 ONO FUMIO  
 YAMAMOTO SHINJI

## (54) METHOD AND DEVICE FOR LOGIC CIRCUIT TEST USING COMPRESSED DATA

### (57)Abstract:

**PURPOSE:** To reduce the need for a storage medium for necessary test pattern storage and to shorten a data transfer time and a required test time by removing ineffective data and compressing a test pattern.

**CONSTITUTION:** The test pattern is compressed by removing the ineffective data which is generally the majority of the data of the test pattern. Data obtained by compressing the test pattern regarding a logic circuit on a board 10 to be tested and input/output assignment data are written on a magnetic tape 22 and read out by a magnetic tape reader 24. A CPU 26 compresses the test pattern read by the device 24 according to a program and the compressed data is written on a counted number memory 30 and a pin number memory 32 which constitute part of a test pattern memory. The logic value of a pin number written on the pin number memory 32 is written on a compressed pattern memory 34. Thus, the test pattern is compressed, so the amount of data becomes very small and the storage medium for necessary test pattern storage is reducible.



**BEST AVAILABLE COPY**

### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

[of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(2)

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

## ⑫ 公開特許公報 (A) 平3-2579

⑬ Int. Cl.<sup>a</sup>  
G 01 R 31/318

識別記号

厅内整理番号

⑭ 公開 平成3年(1991)1月8日

6912-2G G 01 R 31/28

A

審査請求 未請求 請求項の数 3 (全12頁)

⑮ 発明の名称 圧縮データを用いた論理回路試験方法及びその装置

⑯ 特願 平1-136504

⑰ 出願 平1(1989)5月30日

⑱ 発明者 龟山 修一 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内⑲ 発明者 棚田 耕一 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内⑳ 発明者 大野 文男 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内㉑ 発明者 山本 真二 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

㉒ 出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

㉓ 代理人 弁理士 井桁 真一 外2名

## 明細書

## 1. 発明の名称

圧縮データを用いた論理回路試験方法及びその装置

て該論理回路を動作させ (6S)、

該論理回路の出力パターンと復元した該正常出力パターンとを比較する (7S)

ことを特徴とする、圧縮データを用いた論理回路試験方法。

2). 入力パターンと正常出力パターンとの組合せからなる各テストパターンについて、該テストパターンを構成するビットデータのうちテストに有効なビットかつ2位の一方の値を有するビットに対応した入出力点識別番号と、該テストパターンに属する該入出力点識別番号の個数とからなる圧縮データを記憶する手段 (1) と、

該記憶手段から該圧縮データを順次読み出し、該圧縮データから圧縮前のテストパターンを復元するテストパターン復元手段 (2) と、

復元した該入力パターンを試験対象である論理回路 (4) に供給して該論理回路を動作させ、該論理回路の出力パターンと復元した該正常出力パターンとを比較することにより該論理回路の試験を行う試験実行手段 (3) と、

## 2. 特許請求の範囲

1). 試験対象である論理回路の設計データを用いて、該論理回路に対する試験用入力パターンと該入力パターンに対する該論理回路の正常出力パターンとからなるテストパターンを作成し (1S)、該テストパターンから試験に有効なデータを抽出することにより該テストパターンを圧縮データに変換し (2S)、

該圧縮データを記憶媒体に記憶し (3S)、

該記憶媒体から該圧縮データを順次読み出し (4S)、

読み出された該圧縮データから圧縮前のテストパターンを復元し (5S)、

復元した該入力パターンを該論理回路に供給し

## 特開平3-2579(2)

を有することを特徴とする、圧縮データを用いた論理回路試験装置。

3) 入力パターンと正常出力パターンとの組合せからなる各テストパターンについて、該テストパターンを構成するビットデータのうち試験に有効なビットかつ該ビットの値が前回値と異なるビットに対応した入出力点識別番号と、該入出力点識別番号に対応した該ビットの値と、該テストパターンに該する該入出力点識別番号の個数とかなる圧縮データを記憶する手段(1)と、

該記憶手段から該圧縮データを順次読み出し、該圧縮データから圧縮前のテストパターンを復元するテストパターン復元手段(2)と、

復元した該入力パターンを試験対象である論理回路(4)に供給して該論理回路を動作させ、該論理回路の出力パターンと復元した該正常出力パターンとを比較することにより該論理回路の試験を行う試験実行手段(3)と、

を有することを特徴とする、圧縮データを用いた論理回路試験装置。

- 3 -

試験対象である論理回路の設計データを用いて、試験回路に対する試験用入力パターンと該入力パターンに対する該論理回路の正常出力パターンとかなるテストパターンを作成し、該テストパターンから試験に有効なデータを抽出することにより該テストパターンを圧縮データに変換し、該圧縮データを記憶媒体に記憶し、該記憶媒体から該圧縮データを順次読み出し、読み出された該圧縮データから圧縮前のテストパターンを復元し、復元した該入力パターンを該論理回路に供給して該論理回路を動作させ、該論理回路の出力パターンと復元した該正常出力パターンとを比較するよう構成する。

## 【応用上の利用分野】

本発明はテストパターンを圧縮したデータを用いて論理回路の動作試験を行う論理回路試験方法及びその装置に関する。

- 5 -

-614-

## 2. 発明の詳細な説明

## 【図式】

## 概要

## 応用上の利用分野

## 従来の技術(第9~11図)

## 発明が解決しようとする課題

## 課題を解決するための手段(第1~2図)

## 作用

## 実施例

## 第1実施例(第3~5図)

## 第2実施例(第7~8図)

## 発明の効果

## 【概要】

テストパターンを圧縮したデータを用いて論理回路の動作試験を行う論理回路試験方法及びその装置に関する。

必要なテストパターン格納用記憶媒体を少なくてデータ転送時間及び試験所要時間を短縮することを目指とし、

- 4 -

## 【従来の技術】

論理回路の動作試験では、テスターを用いて、入力パターンと正常出力パターンとの組合せからなるテストパターンのうち、入力パターンを論理回路に供給し、論理回路に1個のクロックパルスを供給してこの論理回路を動作させた後その出力パターンと正常出力パターンとを比較して論理回路の動作が正常であるかどうかを判定する。このテストパターンは、前記テスターとは別個の計算機を用いて、検査対象である論理回路の設計データに基づき作成される。

しかし、検査パターン作成時間は論理回路の規模が大きくなるほど長時間となり、論理回路のゲート数をGとすると、テストパターン作成時間は平均して $G^{1.5}$ に比例すると言われている。そこで、大規模な論理回路を試験する場合には、例えば第9図に示す如く、被試験ボード10上の論理回路を試験上互いに独立な部分論理回路ごとに分割し、各部分論理回路毎にテストパターンを供給して試験を行う方式が採用されている。各部

- 6 -

分論理回路は出力側から入力側に向ってその入力点及び出力点が決定され、一般には、後の部分回路と一概重複する。

第10図は複数の部分論理回路に分割した論理回路に対するテストパターンを示しており、このテストパターンは、部分論理回路及びテスト目的に応じた多数のパターンからなる。

第11図はテストパターンを用いた論理回路試験装置の要部構成を示し、テストパターンはテストパターンメモリ12に書き込まれ、アドレス制御回路14により各テストパターンが順次アドレス指定されて、テストインクウェース16に供給される。テストインクウェース16は同一構成のユニット161をテスト用入出力点数（例えば、LSIの試験では数千点）分だけ備えており、各ユニット161は、テストパターンを構成する1ビットのデータをクロックパルスのタイミングで保持するDフリップフロップ18と、ロフリップフロップ18の2出力端子と被試験ボード10の1個の端子との間に接続された被測定部・比較回

- 7 -

本発明の目的は、このような問題点に鑑み、必要なテストパターン格納用記憶媒体を少なくしてデータ転送時間及び試験所要時間を短縮することができる論理回路試験方法及びその装置を提供することにある。

#### 【課題を解決するための手段】

第1図(A)は本発明に係る論理回路試験方法の原理構成を示す。この方法は、基本的に次のステップ1S～7Sを有する。

ステップ1Sでは、試験対象である論理回路の設計データを用いて、該論理回路に対する試験用入力パターンと該入力パターンに対する該論理回路の正常出力パターンとからなるテストパターンを作成する。

ステップ2Sでは、該テストパターンから試験に有効なデータを抽出することにより該テストパターンを圧縮データに変換する。

ステップ3Sでは、該圧縮データを記憶媒体、例えば磁気テープに記憶する。

#### 特開平3-2579(3)

路20とからなる。この被測定部・比較回路20は、切換制御信号が例えば高レベルの場合には出力被測定部回路として機能し、この回路で起電されたパルスを被試験ボード10へ供給する。一方、切換制御信号が例えば低レベルの場合には比較回路として機能し、被試験ボード10から供給される出力パターンのビットデータとロフリップフロップ18の2出力とを比較してその比較結果を出力する。

#### 【発明が解決しようとする課題】

しかし、各部分論理回路及びテスト目的に応じた多数のテストパターンをテストパターンメモリ12に書き込む必要があるので、テストパターンのデータ量が膨大となる。このため、テストパターンを格納するための記憶媒体は、例えば磁気テープが多数（LSIの場合10巻程度）必要となり、データのテストパターンメモリへ記録にデータを転送する必要があるためデータ転送時間及び試験所要時間が長くなるという問題点があった。

- 8 -

ステップ4Sでは、該記憶媒体から該圧縮データを順次読み出す。

ステップ5Sでは、読み出された該圧縮データから圧縮前のテストパターンを復元する。

ステップ6Sでは、復元した該入力パターンを該論理回路に供給して該論理回路を動作させる。

ステップ7Sでは、該論理回路の出力パターンと復元した該正常出力パターンとを比較する。

第1図(B)は本発明に係る論理回路試験装置の原理構成を示すブロック図である。この説明は、上記方法のステップ4S～7Sを実施するための装置である。なお、ステップ1S～3Sは計算機で実施される。

図中、1は圧縮データ記憶手段であり、入力パターンと正常出力パターンとの組合せからなる各テストパターンについて、第1発明では第2図(A)に示す如く、該テストパターンを構成するビットデータのうち試験に有効なビットかつ2倍の一方の値を有するビットに対応した入力点識別番号N11、N12～N161及び出力点識別番号N01、N02～

- 9 -

-615-

- 10 -

H0n1と、該テストパターンに属する該入出力点識別番号の個数 ( $n_1+n_1$ ) とからなる圧縮テストデータを記憶し、第2最初では第2図 (B) に示す如く、該テストパターンを構成するビットデータのうち試験に有効なビットかつ該ビットの値が前回値と異なるビットに対応した入力点識別番号 H11, H12～H1-n2及び出力点識別番号 H01, H02～H0-n2と、該入出力点識別番号に対応した該ビットの値 '0' 又は '1' と、該テストパターンに属する該入出力点識別番号の個数 ( $n_2+n_2$ ) とからなる圧縮データを記憶する。

2はテストパターン復元手段であり、該記憶手段1から該圧縮データを順次読み出し、該圧縮データから圧縮前のテストパターンを復元する。

3は試験実行手段であり、復元した該入力パターンを試験対象である論理回路4に供給して論理回路4を動作させ、論理回路4の出力パターンと復元した該正常出力パターンとを比較することにより論理回路4の試験を行う。

- 1 1 -

た、各テストパターンを番号で区別する。各テストパターンはある部分論理回路のある動作試験を行うためのものであり、表中の'-'はその試験に無効なデータであって、論理'1'または'0'のいずれであってもよい。

第4図は第3図に示すテストパターンを圧縮したデータを示す。この圧縮データは、テストパターンを構成するビットデータのうち試験に有効なビットかつ論理'1'を有するビットに対応した、ピン番号1と、このテストパターンに属する該ピン番号の個数  $n_1$  とからなる。例えば第4図において、番号1のテストパターンはピン番号1が1のみで値数  $k$  が1であり、番号2のテストパターンはピン番号1が2と3で個数  $k$  が2であり、番号8のテストパターンはピン番号1が無く個数  $k$  が0である。このようにすればテストパターンを大幅に圧縮することができる。

テストパターンは不規則の高速計算機、通常ミニコンピュータまたはスーパーミニコンピュータを用い、論理回路の設計データに基づいて作成さ

特開平3-2579(4)

#### 【作用】

ナストパターンのデータのうち、一般にその大部分を占める無効データが除外されて上述の如くナストパターンが圧縮されるので、データ量が大幅に少なくなる。このため、必要なナストパターン格納用記憶媒体を少なくすることができる。例えば、従来必要とした10巻の磁気テープは、本発明によれば3巻で足りる。また、外部記憶装置からナストパターンメモリへ順次にデータの転送を行う必要がないのでデータ転送時間及び試験所要時間を短縮することができる。

#### 【実施例】

以下、図面に基づいて本発明の実施例を説明する。

##### (1) 第1実施例

第5図は、検査対象である論理回路に対するテストパターンを示す。

この論理回路の全入出力点数  $N$  は例えば2,000であり、各入出力点をピン番号1～Nで示す。ま

- 1 2 -

れ、上記の如く圧縮されて磁気テープに書き込まれる。論理回路がLSIの場合、この磁気テープはデータ圧縮を行なわないと10巻程度にもなるが、この圧縮により3巻程度で足りる。当該磁気テープには、各ピン番号が入力点であるか出力点であるかを示す入出力割付データも書き込まれる。

第5図は圧縮データを用いた論理回路試験装置(テスター)の要部構成を示す。被試験ボード10上の論理回路についてのテストパターンを圧縮したデータ及び入出力割付データは、磁気テープ22に書き込まれており、磁気テープ読み取装置24により読み出される。CPU26はプログラムメモリ28に書き込まれたプログラムに従って、磁気テープ読み取装置24で読み取られたテストパターンを上記の如く圧縮し、その圧縮データを、テストパターンメモリ30及びピン番号メモリ32へ書き込む。圧縮パターンメモリ34にはピン番号メモリ32に書き込まれたピン番号の論理値が書き込まれ、本実施例では全て'1'が書き込まれる。また、各テス

- 1 3 -

-616-

- 1 4 -

トインターフェース161の被形成形・比較回路20に対し1ビットが対応する制御レジスタ38には、ピン番号1～Nの各々について、上記入出力制付データに基づき、入力点であるか出力点であるかが書き込まれる。

テストインタフェース16は第11図に示すものと同一構成であり、その構成要素には第11図に示す符号と同一符号を付して省略する。但し、全てのDフリップフロップ18のリセット端子にはリセット信号RBSBTを供給するための信号線が共通に接続されている。ユニット16の被形成形・比較回路20は制御レジスタ38の対応するビットデータによりその機能が上記の如く切り換えられる。すなわち、被形成形・比較回路20は、対応するピン番号のピンが入力点であれば被形成形回路として選択し、出力点であれば比較回路として選択する。被形成形・比較回路20から出力される比較結果は、データバスDBを介してテスト結果メモリ40に書き込まれる。このデータバスDBは上記構成要素24～38間も接続している。

- 15 -

#### 現手順を説明する。

(50)CPU28は磁気テープ読み取り装置24を介し磁気テープ22から入出力制付データ及び圧縮データを読み出し、この入出力制付データを制御レジスタ38に格納し、圧縮データのうち、個数kを個数メモリ30へ格納し、ピン番号1をピン番号メモリ32へ格納し、また、圧縮パターンメモリ34の全ビットに'1'を格納する。制御回路42は、カウンタ44の内容をクリアする。

(52)制御回路42は、個数メモリ30からセの内容kを読み出させる。

(54)kの値がテストパターンの並びを示す値、例えば16進数'RFF'であれば処理を終了し、そうでなければ、

(56)リセット信号RBSBTをテストインタフェース16の全Dフリップフロップ18のリセット端子Rに供給してそのQ出力を全て'0'とし、

(58)k ≠ 0であれば、

(60)メモリ32、34からそれぞれピン番号及び始現値を読み出し、

- 17 -

-617-

#### 特開平3-2579(5)

る。

制御回路42は各テストパターンについて個数メモリ30から1つの個数kを読み出し、カウンタ44を介しピン番号メモリ32及び圧縮パターンメモリ34をアドレス指定して、このテストパターンに属する1個のピン番号データ及びパターンデータを順次読み出し、それぞれデコーダ46、リフリップフロップ18へ供給させる。デコーダ46は、ピン番号メモリ32から供給されるピン番号を解読して、テストインタフェース16の対応する1個のDフリップフロップ18のクロック端子に'1'を供給する。一方、圧縮パターンメモリ34の出力（本実施例では'1'）はテストインタフェース16の全てのDフリップフロップ18のデータ入力端子Dに供給される。したがって、デコーダ46により選択されたDフリップフロップ18のみにデータ'1'が保持され、そのQ出力端子から被形成形・比較回路20へ'1'が供給される。

次に、第6図に基づいて第5図に示す装置の処

- 16 -

(62)kの値をデクリメントし、カウンタ44に1個のパルスを供給してカウンタ44の内容をインクリメントし、ステップ58へ戻る。

ステップ58でk = 0となれば、テストインタフェース16の全Dフリップフロップ18のQ出力から圧縮前のテストパターンが取り出されて、各被形成形・比較回路20へ供給されている。

(64)制御回路42は被形成形・比較回路20へトリガ信号を供給する。これにより、テストパターンのうち入力パターンが被試験ボード10の論理回路に供給される。制御回路42は1個のクロックパルスをこの論理回路に供給して動作させる。被形成形・比較回路20はこのときの出力パターンを正常出力パターンと比較する。CPU28はこの比較結果をテスト結果メモリ40へ書き込む。

次に、ステップ52へ戻って上記処理を繰り返す。

(2) 第2実施例

この第2実施例では、ハードウェア構成は第1

- 18 -

実施例と同一である。

第7図は第3図に示すテストパターンを第2の方法により圧縮したデータを示す。この圧縮データは、テストパターンを構成するビットデータのうち、試験に有効なビットかつこのビットの値がその前のテストパターンの対応する有効ビットの値と異なるもののピン番号1と、その論理値」と、このテストパターンに関するピン番号の全個数とからなる。

例えば番号2のテストパターンでは、ピン番号1は3と8とからなりそれぞれ論理値'1'、'0'を持ち、個数Kは2である。また、番号7のテストパターンでは、ピン番号4が論理値'1'を持つが、番号6のテストパターンにおいてこのピン番号の論理値が'1'であるので、ピン番号データは無く、個数Kは0である。個数1と論理値1とは1対1に対応しており、それぞれ第5図に示すピン番号メモリ32と圧縮パターンメモリ34の対応するアドレスに格納される。

第8図はこの第2実施例に於ける第5図に示す

- 19 -

方法及びその要領によれば、テストパターンのデータのうち一般にその大部分を占める無効データを除去了した圧縮データを用いるので、データ量が大幅に少くなり、このため、必要なテストパターン格納用記憶媒体を少なくすることができます。外部記憶装置からテストパターンメモリへ頻繁にデータの転送を行う必要がなくなり、データ転送時間及び試験所要時間を短縮することができるという優れた効果を表し、論理LSI等の開発期間短縮化及び試験システムの小規模化に寄与するところが大きい。

#### 4. 初回の簡単な説明

第1図(A)及び(B)は本発明の実現構成を示すブロック図。

第2図は第1図に示す圧縮データ記憶手段の記憶内容説明図である。

第3図乃至第8図は本発明の第1実施例に係り、第3図はテストパターンの一例を示す表、第4図はこのテストパターンの圧縮データを示す表、

第5図は圧縮データを用いた論理回路試験装置の要構成を示すブロック図。

特開平3-2579(6)

装置の処理手順を示す。

この処理手順では、第6図に示すステップ56がなく、テストパターン毎にDフリップフロップ18をリセットする必要がないので、その分、処理が高速となる。また、ステップ50.1で、メモリ34へ上記論理値1からなる圧縮パターンを書き込む点で第1実施例と異なる。他の点は第1実施例と同一である。

なお、本発明には外にも種々の変形例が含まれる。

例えば、上記各実施例では入出力点が論理回路(LSIまたはPCボード等)の外部端子である場合を説明したが、入出力点は、テストモードで被試験論理回路内のフリップフロップが直列接続されてシフトレジスタが構成される場合(いわゆるスキャニング方式の場合)の試験フリップフロップであってもよいことは勿論である。

#### 【説明の効果】

以上説明した如く、本発明に係る論理回路試験

- 20 -

す。

第5図は圧縮データを用いた論理回路試験装置の要構成を示すブロック図。

第6図は第5図に示す装置の処理手順を示すフローチャートである。

第1図及び第8図は本発明の第2実施例に係り、第7図は第3図に示すテストパターンの圧縮データ示す表。

第8図は第5図に示す装置の処理手順を示すフローチャートである。

#### 図中

- 1.0は被試験ボード
- 1.6はテストインタフェース
- 1.8はDフリップフロップ
- 2.0は被測成形・比較回路
- 3.0は個数メモリ
- 3.2はピン番号メモリ
- 3.4は圧縮パターンメモリ
- 3.8は制御レジスタ

- 21 -

-618-

- 22 -

42は解説図  
46はデコーグ

代理人 勝利士 井村貞一(略)

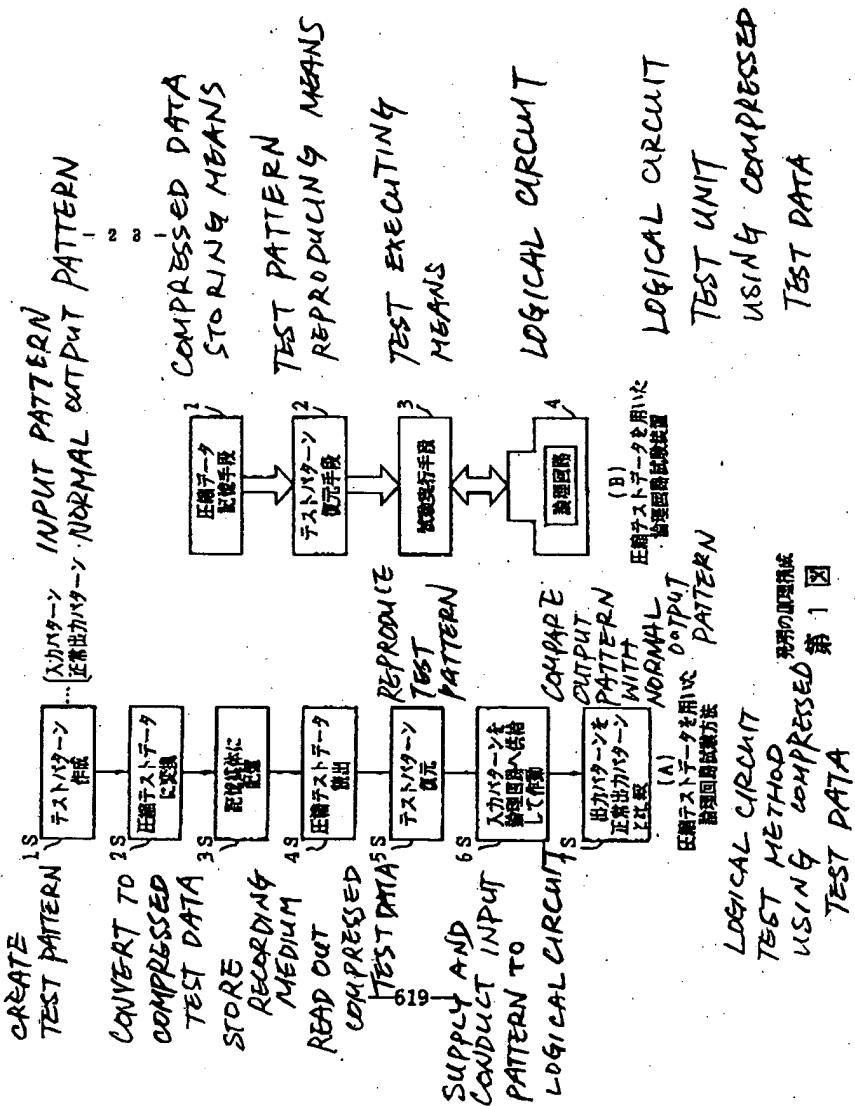


FIG. 1

FUNDAMENTAL  
CONFIGURATION  
OF  
THE INVENTION

(8)

特開平3-2579

COMPRESSED DATA  
OF  
FIRST TEST PATTERN

NUMBER	
個数 ( $m_1 \div n_1$ )	
0	N <sub>11</sub>
1	N <sub>12</sub>
⋮	⋮
N <sub>1m_1</sub>	
NO <sub>1</sub>	
NO <sub>2</sub>	
⋮	⋮
NO <sub>n_1</sub>	
⋮	⋮

COMPRESSED DATA 特開平3-2579(8)  
OF

FIRST TEST  
PATTERN  
NUMBER

NUMBER	
個数 ( $m_2 \div n_2$ )	
0	N <sub>11</sub>
1	N <sub>12</sub>
⋮	⋮
1	N <sub>m_2</sub>
NO <sub>1</sub>	
NO <sub>2</sub>	
⋮	⋮
NO <sub>n_2</sub>	
⋮	⋮

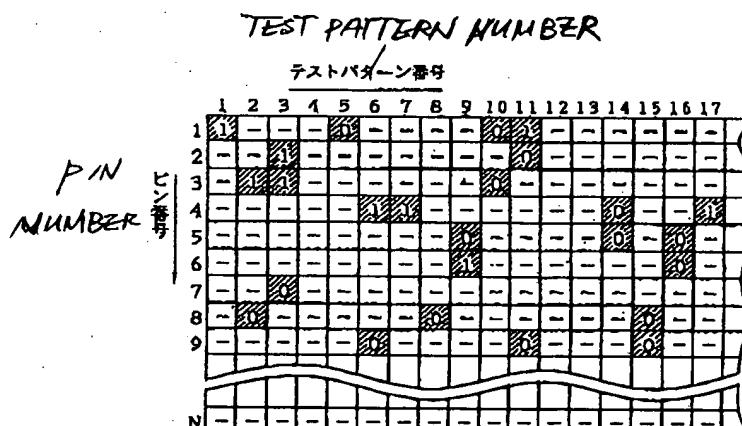
(A) 第1発明の圧縮データ  
COMPRESSED DATA  
OF FIRST INVENTION

圧縮データ記憶手段の記憶内容説明図

(B) 第2発明の圧縮データ  
COMPRESSED DATA  
OF SECOND INVENTION

第2図

FIG. 2  
EXPLANATION OF RECORDED CONTENTS  
OF COMPRESSED DATA STORING MEANS



■: テストに有効なデータ AVAILABLE DATA FOR TEST  
~: 無効データ (1,0どちらでも良い) INVALID (WHEN 1 OR 0)  
N: 最大テストピン数 MAX TEST PIN NUMBER

TEST PATTERN

第3図

TEST PATTERN NUMBER		PIN NUMBER
1	個数 1	ピン番号 0001
2	個数 1	ピン番号 0003
3	個数 2	ピン番号 0002
4	個数 0	ピン番号 0003
5	個数 0	個数 0
6	個数 1	ピン番号 0004
7	個数 1	ピン番号 0004
8	個数 0	個数 1
9	個数 1	ピン番号 0006

TEST PATTERNの圧縮データ

第4図

FIG. 3  
TEST PATTERN

—620—

FIG. 4  
COMPRESSED DATA  
OF  
TEST PATTERN

34 COMPRESSED PATTERN MEMORY

322 PIN NUMBER MEMORY

DECODER

36 CONSOLÉ

## 18 D FLIP-FLOP

10 BURK

44 counter  
48 counter

CIRCUIT

30 NUMBER  
Memory

—621—

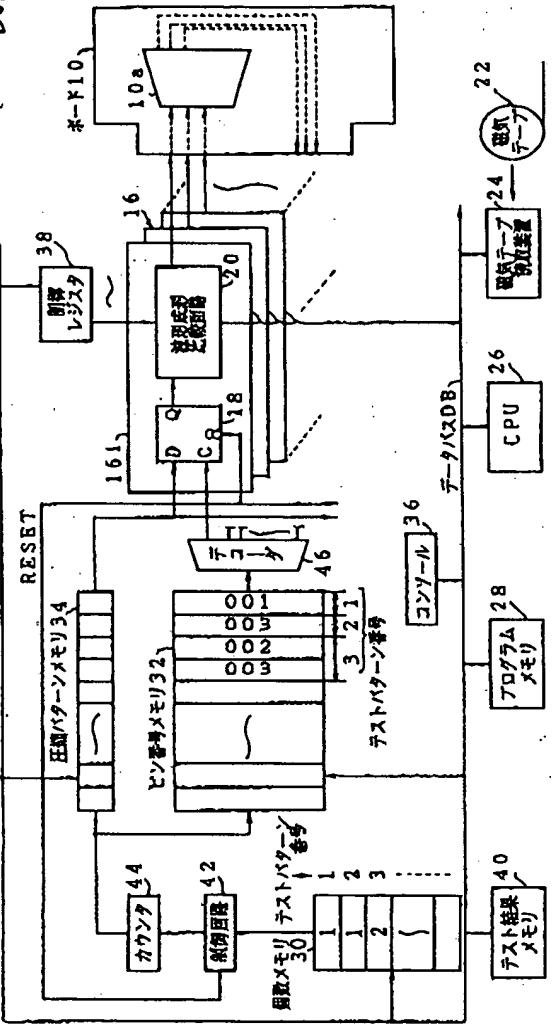
# TEST RESULT MEMORY

## 28. PROGRAM MEMORY

## 2.4 MAGNETIC TAPE READER

22 MAGNETIC TAPE

34	COMPRESSED PATTERN MEMORY	
32	PIN NUMBER MEMORY	
46	DECODER	38 CONTROL REGISTER
36	CONSOLE	20 CORRUGATING
18	D FLIP-FLOP	COMPARATOR
		10 BOARD



### 論理回路比較装置の要構成図 第5回

## MAIN CONFIGURATION OF LOGICAL CIRCUIT TEST UNIT

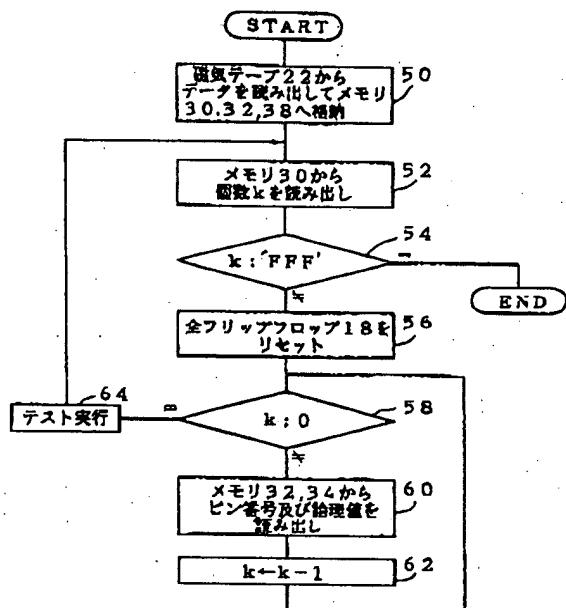
5  
Fig

特翻平 3-2579(9)

(10)

特開平3-2579

特開平3-2579(10)



第5図に示す装置の処理手順を示す  
フローチャート(第1実施例)  
第6図

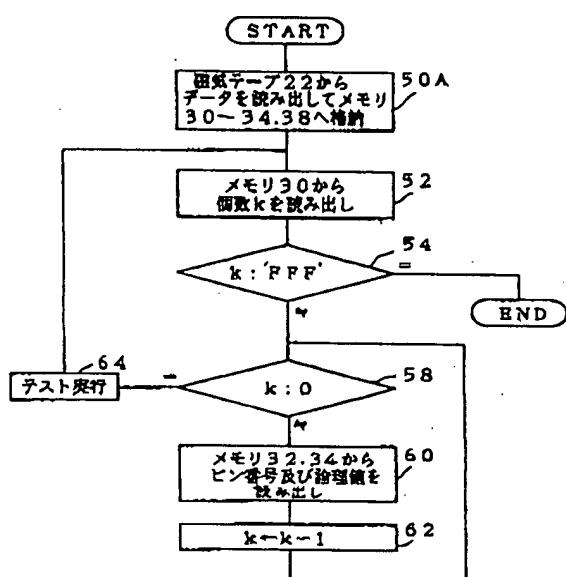
テストパターン番号	論理値	
	個数	ピン番号
1	1	0001
1	1	0002
2	1	0003
0	0	0008
2	1	0002
3	0	0007
4	0	0000
5	1	0001
0	0	0001
6	2	0004
1	1	0002
0	0	0009
7	0	0000
8	0	0000

テストパターンの圧縮データ  
第7図

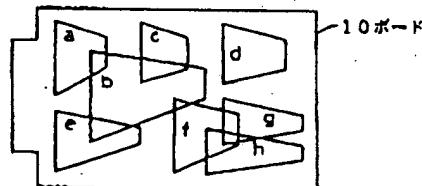
(11)

特開平3-2579

特開平 3-2579(11)

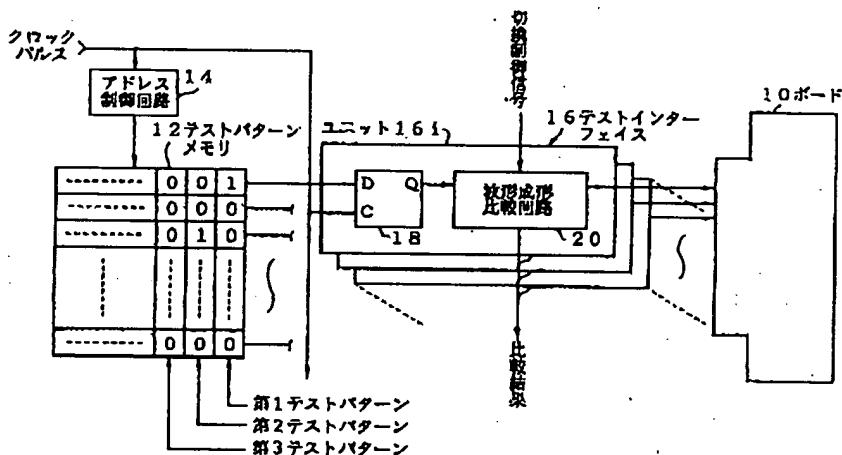


第5図に示す装置の処理手順を示す  
フローチャート(第2実施例)



論理四路分割說明圖  
第 9 圖

テストパターン  
第 10 図



## 論理回路試験装置の要部構成例 (従来技術)

第 11 回

(12)

特開平3-2579

特開平 3-2579(12)

## 平補正書(方式)(省略)

平成 1.10.8 月 11 日

特許行政省

## 1. 本件の表示

平成1年特許第136504号

## 2. 発明の名称

圧縮データを用いた論理回路試験方法及びその装置

## 3. 指定する零

本件との関係 特許出願人

住所 神奈川県川崎市中原区上小田中1015番地

名称 (522) 富士通株式会社

代表者 山木 幸哉

## 4. 代理人

住所 神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

氏名 (7259) 代理士 井 勝 貞 (井勝貞 2名)

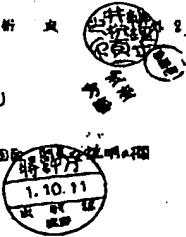
電話 044-754-2035

## 5. 指定する零

平成1年9月26日(既述)

## 6. 指定の対象

発明の詳細な説明の欄における図面(明細書)



## 7. 指定の内容

(1) 明細書第12頁第10行と第11行との間に次の文字を挿入する。

「第9圖乃至第11圖には論理回路の構造並に接続に係り、  
第8圖は論理回路分割説明図、

第10圖はテストパターンを示す図、

第11行は論理回路試験装置の裏面構成を示すブロック  
図である。」

(2) 明細書第4頁第1行に「2」とあるのを「3」と修正する。

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**